

ISSN : 2301-8690

PROCEEDING SNIRT 2012



**SEMINAR
NASIONAL INOVASI REKAYASA TEKNOLOGI (SNIRT)
KE-1 TAHUN 2012**

**Peluang dan Tantangan IPTEK
dalam Mengatasi Krisis Energi Nasional**

**FAKULTAS TEKNIK
UNIVERSITAS 17 AGUSTUS 1945 CIREBON
INDONESIA**

Sabtu, 14 Juli 2012

Erma Triawati
Erma Triawati
(T. Elektro)

PROCEEDING

ISSN: 2301-8690

Seminar Nasional Inovasi dan Rekayasa Teknologi (SNIRT) ke-1 Tahun 2012

Tema:

*Peluang dan tantangan IPTEK dalam
Mengatasi Krisis Energi Nasional*

Auditorium Universitas 17 Agustus 1945 Cirebon Indonesia
Sabtu 14 Juli 2012

Keynote Speaker;

EDDY PERMADI

(Praktisi-Direktur Cihanjuang Inti Teknik)

Prof. MUHAMMAD NIZAM

(Pakar Energi baru Terbarukan-UNS)

Reviewer:

SPARISOMA VIRIDI, Dr. Ret. Nat. (ITB)

HERI SURYOATMOJO, Ph. D. (ITS)

DEDI LAZUARDI, Ir. DEA., Dr. (UNTAG Cirebon)

FACHRUDIN, MT. (Univ. Widyagama Malang)

WARINDI, MT. (UNRAM)

Hosted By;

Department of Electrical Engineering
17 Agustus University of Cirebon

Diorganisasikan oleh;



Program Studi TEKNIK ELEKTRO
Fakultas Teknik, UNTAG Cirebon
Tahun 2012

Seminar Nasional Inovasi dan Rekayasa Teknologi (SNIRT)

Hak cipta © 2012 oleh Program Studi Teknik Elektro

ISSN : 2301-8690



9 772301 869006

Honorary Committee;

Prof. Dr. A. DJALIL IDRIS SAPUTRA, Drs. MM.
Dr. Ir. DEDI LAZUARDI, DEA.

Technical Program Committee;

ERFAN SUBIYANTA, ST., M. Eng.
AGUS SISWANTO, ST., MT.
SUGENG SUPRIJADI, ST., MT.
VIDYA IKAWATI, S. Si., MT.
SAFRIZAL, ST., MT.
ANDRIANA, ST., MT.
M. SOLEH, ST.
HENDRIYANTO, ST.

Kata Pengantar Panitia dari Panitia

Assalamu'alaikum Warahmatullahi Wabarakaatuh,
Nahmaduhu Wanusholli Wanussalimu 'Ala Rasulihil Karim.

Puji syukur alhamdulillah kita haturkan kepada Allah Subhanahu Wa Ta'ala yang telah memberikan anugerah berupa kemudahan dan kelancaran, sehingga hajat besar Fakultas Teknik UNTAG Cirebon untuk menyelenggarakan Seminar Nasional Inovasi dan Rekayasa Teknologi (SNIRT 2012) bidang IPTEK bagi Peneliti Akademisi, Praktisi dan Industri dapat terselenggara mendapatkan respon yang cukup menggembirakan, baik dari kampus, lembaga penelitian maupun lembaga pemerintah.

Seminar Nasional ini merupakan kegiatan ilmiah yang bertujuan untuk saling berbagi informasi dan pengalaman, ajang pertemuan menyambung silaturahmi antar Dosen di bidang Teknik Elektro, Teknik Mesin, Teknik Informatika, Teknik Industri dan bidang Teknik lain. Tema Seminar Nasional kali ini adalah : “ *Peluang dan Tantangan IPTEK dalam Mengatasi Krisis Energi Nasional* ”.

Perlu diketahui bahwa jumlah makalah yang masuk ke Panitia pada kegiatan Seminar Nasional meliputi beberapa bidang, diantaranya bidang elektro, mesin, industri, telekomunikasi dan informatika. Tentunya setelah melalui proses review dari Tim reviewer yang kompeten di bidang masing-masing maka makalah tersebut cukup layak dipresentasikan dan akan dipublikasikan dalam bentuk prosiding.

Demikian sedikit prakata kami selaku Ketua Seminar Nasional Inovasi dan Rekayasa Teknologi ke-1 Tahun 2012, tidak lupa disampaikan ucapan terima kasih dan penghargaan yang setinggi-tingginya kepada seluruh anggota panitia Seminar Nasional atas waktu dan tenaganya, dan juga Pimpinan Universitas dan Fakultas serta semua pihak maupun sponsor yang telah membantu sukses penyelenggaraan acara ini, semoga Allah Ta'ala memberikan balasan yang lebih baik lagi.

Akhir kata dengan penuh kerendahan hati, saya atas nama seluruh panitia meminta maaf atas segala kekurangan yang mungkin membuat kurang nyaman para peserta seminar dan semoga seminar ini dapat memberikan manfaat yang sebesar-besarnya bagi perkembangan iptek di masa yang akan datang.

Wassalamu'alaikum Warahmatullahi Wabarakaatuh.

Cirebon, 14 Juli 2012
Ketua Panitia

Erfan Subiyanta, ST., M.Eng

Sambutan Dekan Fakultas Teknik
Universitas 17 Agustus 1945 Cirebon

Assalamu'alaikum wR.wB.

Puji dan syukur kita panjatkan kepada Allah SWT, yang telah memberikan rahmatnya, sehingga proceeding SNIRT I 2012 Fakultas Teknik ini dapat terbit. Tidak lupa disampaikan ucapan terima kasih kepada Rektor UNTAG 1945 Cirebon yang memberi dukungan baik materil maupun pemikiran pada pelaksanaan SNIRT. Demikian juga untuk panitia, mahasiswa, serta seluruh pihak yang tidak dapat disebutkan satu persatu yang telah berpartisipasi sehingga seminar ini dapat berlangsung.

Proceeding ini merupakan kumpulan makalah dari SNIRT I 2012, yang disumbangkan tidak kurang oleh 25 orang penulis dari 11 perguruan tinggi baik negeri maupun swasta.

Adapun kegiatan SNIRT I 2012 ini merupakan seminar nasional pertama yang diadakan oleh Fakultas Teknik UNTAG 1945, bertepatan dengan Diesnatalis UNTAG 1945 Cirebon yang ke 50, yang diharapkan dapat menjadi wadah untuk pertukaran informasi, kerja sama, sekaligus silaturahmi bagi dosen maupun peneliti di tingkat nasional.

Pada seminar yang pertama mengambil tema: "*Peluang dan Tantangan IPTEK dalam Mengatasi Krisis Energi Nasional*" yang diharapkan dapat mewedahi isu kekinian yang berguna bagi pengembangan maupun penerapan IPTEK di tanah air.

Akhir kata Kami mengucapkan terimakasih kepada seluruh peserta SNIRT I 2012, yang telah berpartisipasi dalam menyumbangkan hasil pemikiran dan hasil penelitiannya serta presentasinya di seminar paralel. Semoga kehadiran proceeding SNIRT I 2012 ini dapat menambah keragaman sarana untuk menuangkan hasil pemikiran dan penelitian di Indonesia, serta dapat bermanfaat bagi masyarakat Indonesia.

Wassalamu'alaikum wR.wB.

Cirebon, Juli 2012

DR. Ir. Dedi Lazuardi, DEA.
Dekan FT UNTAG 1945 Cirebon.

Daftar Isi

Sambutan Ketua Panitia	iv
Sambutan Dekan Fakultas Teknik	v

Judul makalah:

Halaman,

A. Bidang

Electrical, Electronic, Communication engineering (ECE)

1. Simulasi Perancangan Rangkaian dan Layout Penguat Operasional OTA Dua Stage pada ADC Pipeline 1-bit/stage dengan Mentor Graphics 0,35 μm (<i>Hamzah Afandi, Erma Triawati Ch</i>)	1
2. Perancangan Dan Analisis Ekonomi Pembangkit Hybrid Angin-Surya Di Desa Parangtritis Yogyakarta (<i>Siti Saodah, Roza Amalia</i>)	13
3. Manfaat Pembangunan Pembangkit Listrik Tenaga Nuklir (Pltn) Dalam Mengatasi Problema Energi Di Indonesia (<i>Tjipta Suhaemi, Mrjoko</i>)	23
4. Desain Rekonfigurasi Jaringan 20 kV Untuk Mengurangi DROP Tegangan Menggunakan Program Etap (<i>Agus Taufik Hidayat, Agus Siswanto</i>)	29
5. Teknologi HvdC 500 Kv Bipolar Pada Sistem Interkoneksi Pulau Sumatra- Jawa Tahun 2016 (<i>Safrizal</i>)	39
6. Analisa Uji Sambungan Kabel Instalasi Listrik Terhadap Beban Listrik Yang Berakibat Terbakarnya Komponen Instalasi (<i>Sugeng Suprijadi</i>)	45
7. Desain Sinkronisasi Generator Menggunakan Digital (<i>Automatic Voltage Regulator</i>) AVR Bassler Decs-100 (<i>Agus Siswanto</i>)	52
8. Perbaikan kestabilan dinamik pada sistem tenaga listrik (<i>Erfan subiyanta</i>)	63
9. Optimisasi Quantum-Behaved Particle Swarm Optimization Pada Sistem Kontrol Kemudi Kendaraan Sistem Steer By Wire (<i>Fachrudin, Akhmad Farid, Imam Robandi, Nyoman Sutantra</i>)	71

B. Bidang

Computer, Information Technology (CIT)

1. Kajian Potensi e-Commerce Terhadap Industri Buku Digital Indonesia, (<i>Ardiansyah</i>)	84
2. Content Management System Pembelajaran Berbasis E-Learning Bagi Sekolah Dasar (<i>Marlina</i>)	90

3.	Sistem Speaker Recognition (Pengenalan Pengucap) dengan Metode Mel Frequency Cepstrum Coefficients (MFCC) dan Hidden Markov Model (HMM) Menggunakan MatLab (<i>Andriana, Zulkarnain</i>)	97
4.	Aplikasi sistem pakar untuk menentukan gaya belajar v-a-k dengan metode inferensi runut mundur (backward chaining) (<i>Marsani Asfi, Wiwiek Nurkomala Dewi, Ika Widayastuti</i>)	106
5.	Perancangan Sistem Informasi Bengkel Mobil Dengan Menggunakan Metode Structured Rapid Prototyping (Studi Kasus: Perusahaan XYZ) (<i>Arip Budiono</i>)	117
6.	Simulasi Perancangan Sistem Modulasi dan Demodulasi untuk Komunikasi Data Serial Standard RS-232 (<i>Hendriyanto</i>)	129

C. Bidang

Mechanical, mechatronic, manufacturing Engineering (MME)

1.	Pengaruh Perbandingan Campuran Bbg dan Udara Terhadap Pola Dan Kecepatan Api Premix Pada Helle-Shaw Cell, (<i>Adi Winarta, Adhes Gamayel</i>)	141
2.	Analisis Bottle Neck Dengan Pendekatan Simulasi Arena Pada Produk Sarung Tenun Ikat Tradisional (Studi Kasus Pada UKM Sarung Tenun Ikat Tradisional di Desa Wedani, Kecamatan Menganti, Kabupaten Gresik) (<i>Widhy Wahyani, dan Nofan Hadi Ahmad</i>)	152
3.	Pengujian Karakteristik Tungku Perlakuan Panas Tipe Tahanan Listrik (<i>Hery Sonawan, Eko Hardjani</i>)	165
4.	Analisis Kegagalan Turbine Bucket Turbin Gas Ge Ms5001 (<i>Hanafyah Kaisar, Dedi Lazuardi</i>)	174

D. Bidang

Chemical, Petroleum, Industrial Engineering (CPE)

5.	Model pendekatan siklus <i>internal audit</i> Dalam hubungannya dengan aktivitas <i>external audit</i> dan faktor-faktor lingkungannya (<i>Gita Permata Liansari</i>)	185
6.	Production risk based pada perusahaan galangan kapal : konsep dan metodologi (<i>Minto basuki</i>)	200
7.	Pengaruh Penambahan Oligo-Chitosan Terhadap Pertumbuhan Tanaman Cabe (<i>Cacinum Apnnum</i>) (<i>Gatot Trimulyadi Rekso</i>)	208
8.	Aplikasi matematika dalam perencanaan dan pengendalian di bidang industri (<i>syafi'i</i>)	216
9.	Kinerja Sekolah Dasar Negeri dari Sisi Sarana dan Prasarana Sekolah terhadap Peningkatan Kualitas Kesehatan dan Kebersihan Lingkungan Sekolah (<i>Halimah Tunafiah</i>)	220

Simulasi Perancangan Rangkaian dan Layout Penguat Operasional OTA Dua Stage pada ADC Pipeline 1-bit/stage dengan Mentor Graphics 0,35 μm

HAMZAH AFANDI¹⁾, ERMA TRIAWATI CH²⁾

Teknik Elektro, Universitas Gunadarma

Jln. Margonda Raya No. 100 Depok

¹⁾hamzah@staff.gunadarma.ac.id ²⁾ermach@staff.gunadarma.ac.id

ABSTRAK

Pada desain ADC pipeline untuk satu stage membutuhkan komponen pendukung op-amp, komparator, saklar kapasitor (SC) dan pembangkit clock. Untuk topologi ADC pipeline yang sesuai dalam mendukung kinerja kamera kecepatan tinggi dengan resolusi 8-bit dan kecepatan 80 MSPS dengan biaya tidak terlalu tinggi adalah 1-bit/stage. Karena komposisi rangkaian pendukung untuk topologi 1-bit/stage yaitu pada komparator hanya membutuhkan satu komparator, bila 8 stage terdapat 8 komparator, sehingga mempengaruhi dari sisi konsumsi daya dan area layout. Pada tulisan ADC pipeline ini akan dibahas salah satu komponen pendukungnya yaitu perancangan rangkaian op-amp dan layoutnya, juga dibahas hasil simulasinya. Rangkaian yang sesuai untuk ADC ini adalah op-amp OTA (Operational Transconductance). Penguat jenis transconductance yang di desain dengan komponen CMOS ini memiliki spesifikasi yang sesuai untuk aplikasi ADC dengan beban kapasitif, dengan impedansi masukan besar serta dapat meminimalkan noise. Pada penelitian ini merupakan kinerja lebih lanjut setelah desain op-amp OTA secara perhitungan manual sudah didapatkan, maka selanjutnya pada penelitian ini dibuat rangkaian dan layoutnya dengan berbantuan tools Mentor Graphics 0,35 μm .

Kata kunci : penguat operasional, OTA, CMOS, dua stage, layout

Pendahuluan

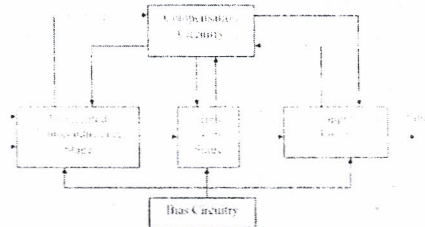
Kebutuhan op-amp pada penelitian ini karena Penguat Operasional (*Operational Amplifier*) secara umum menggambarkan tentang sebuah rangkaian penguat penting yang membentuk dasar dari rangkaian-rangkaian penguat audio dan video, penyaring atau tapis, buffer, penguat instrumentasi, komparator atau pembanding, osilator, dan berbagai macam rangkaian analog lainnya. Penguatan op-amp adalah salah satu dari beberapa parameter op-amp. Penguatan berperan sangat penting pada penggunaan op-amp. Perhitungan penguatan dilakukan dengan menganalisa rangkaian CMOS yang ada di op-amp. Meskipun rangkaian op-amp dapat dirancang dari komponen-komponen diskrit, namun demikian hampir seluruhnya selalu digunakan dalam bentuk rangkaian terintegrasi (*integrated circuit*, IC). Salah satu bahan pembentuk IC op-amp adalah CMOS (*Complementary Metal-Oxide-Semiconductor*). CMOS adalah gabungan 2 transistor MOSFET (*Metal-Oxide-Semiconductor Field Effect Transistors*) tipe-p dan tipe-n. Dua karakteristik utama CMOS adalah ketebalan terhadap noise yang tinggi dan konsumsi daya statis yang rendah. Hal ini menyebabkan CMOS tidak menghasilkan panas buangan seperti TTL (*Transistor-Transistor Logic*) ataupun NMOS (*N-type Metal -Oxide-Semiconductor*).

Untuk mengetahui penguatan dari op-amp CMOS, diperlukan pemahaman mengenai perhitungan rangkaian transistor MOSFET yang ada di IC op-amp tersebut. Oleh karena itu, dalam tulisan ini akan menganalisa sebuah op-amp CMOS yaitu op-amp transkonduktansi yang didesain dengan komponen CMOS dengan spesifikasi yang sesuai untuk diaplikasikan pada ADC pipeline.

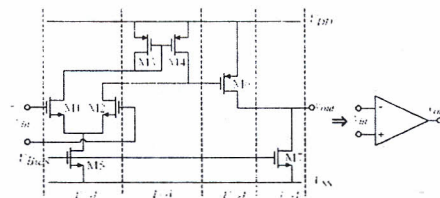
Tujuan dari tulisan ini adalah mengetahui cara kerja dari op-amp transkonduktansi dan mengetahui penguatan yang dihasilkannya. Metode yang digunakan adalah melakukan perancangan op-amp transkonduktansi yang didesain dengan komponen CMOS dengan spesifikasi yang sesuai untuk aplikasi ADC dengan beban kapasitif, dengan impedansi masukan besar dan dapat meminimalkan noise, untuk diaplikasikan pada ADC pipeline. Selanjutnya hasil perancangan dibandingkan dengan desain menggunakan tools mentor graphics, kemudian disimulasikan dan jika memberikan hasil sesuai yang diharapkan maka selanjutnya dibuat layout dari desain op-amp transkonduktansi tersebut.

Teori Transconductance OP-AMP (OTA)

Fungsi op-amp pada ADC pipeline digunakan pada proses sample and hold (SHA) dan multiplying, syarat Spesifikasi op-amp pada ADC pipeline. [Lisha.L, 2007, Boaz.S.T,2004, Xin Jiang, 2003, B.Razawi,2001, G.Palmisano, 2001, J.Baker,1998] yaitu : Gain Open Loop (A_{oL}) $\geq 2^{N+2}$ V/V, Gain Open Loop (dB) $\geq 20 \cdot \log 2^{N+2}$ V/V, Gain Close Loop (A_{cL}) = 2V/V, Frekuensi Unity (f_u) $\geq 0,22(N+1) f_{clock}$. Tampak pada gambar 1 diagram blok penyusun dua stage op-amp CMOS dan pada gambar 2 rangkaian op-amp OTA, penguat differensial (M1-4) menyediakan dua masukan membalik dan tak membalik dengan menyebabkan noise dan offset. Penguatan tinggi (high gain M6-7) hampir mirip dengan gerbang not bila op-amp menggerakkan beban rendah maka diikuti oleh stage penyangga (buffer), arus bersama (IM5) disediakan oleh rangkaian pemis arus.

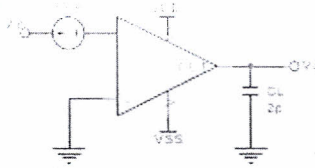


Gambar 1. Blok diagram 2-Stage Op-Amp Transconductance. [J.Baker,1998]



Gambar 2. Rangkaian 2-stage OP-AMP Transconductance. [J.Baker,1998]

Op-amp ideal mempunyai karakteristik, penguatan mode terbuka tak terhingga ($A_{oL} = \infty$), penguatan mode tertutup (Buffer = A_{cL}) = 1, impedansi masukan tak terhingga ($R_{IN} = \infty$), impedansi keluaran hampir sama 0 ($R_o \approx 0\Omega$), Lebar pita penguatan ($GBW = \infty$), besar $V_{out} = A_v(V_+ - V_-)$, dengan A_v digunakan disain pada penguatan mode terbuka (A_{oL}). Gambar 3 rangkaian uji A_{oL} dan Phase margin dan gambar 4 hasil pengukuran nilai A_{oL} dan PM.

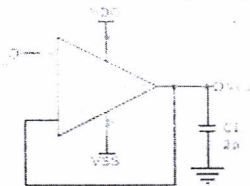


Gambar 3. Rangkaian Uji Karakteristik AoL dan PM.[J.Baker,1998]



Gambar 4. Grafik Gain AoL dan PM.[Lisha.L,2007]

Semua op-amp mempunyai batasan pada jangkauan tegangan operasi kerjanya, batasan CMIR (*common mode input range*) adalah batasan skala jangkauan tiap masukan op-amp, diluar batasan tersebut menyebabkan keluaran distorsi atau terpotong, pada gambar 5 rangkaian uji CMR.

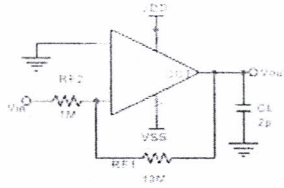


Gambar 5. Rangkaian Uji CMR OP-AMP. .[J.Baker,1998]

$$CMR^- = V_{SS} + \sqrt{\frac{I_{D5}}{\beta_1}} + V_{in(max)} + V_{DS5(sat)} \geq 90\%.V_{OS}$$

$$CMR^+ = V_{DD} - \sqrt{\frac{I_{D5}}{\beta_3}} - |V_{TO3}|_{(max)} + V_{in(min)} \leq 90\%.V_{OS}$$

Keluaran tegangan swing adalah maksimal tegangan puncak keluaran op-amp dapat dihasilkan sebelum tegangan terpotong. Tegangan ini tergantung tegangan kerja op-amp (V_{DD} atau V_{SS}), pada gambar 6 rangkaian uji tegangan swing keluaran op-amp.

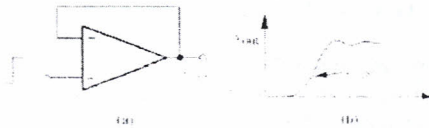


Gambar 6. Rangkaian Uji Tegangan Swing OP-AMP. [J.Baker, 1998]

$$V_{OUT}^{-} = |V_{DSAT7}| = \sqrt{\frac{2I_{D7}}{\beta_7}} \leq 90\%.VSS$$

$$V_{OUT}^{+} = |V_{DSAT6}| = \sqrt{\frac{2I_{D7}}{\beta_6}} \leq 90\%.VDD$$

Slew rate (SR) adalah maksimal kemiringan (slope) tegangan keluaran op-amp, hal ini menentukan kestabilan op-amp untuk masukan bentuk gelombang kotak. pada gambar 7 rangkaian uji slew rate.



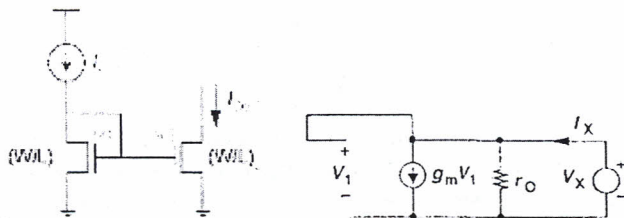
Gambar 7 (a) Rangkaian Uji Slew Rate (b) Keluaran OP-AMP. [J.Baker, 1998]

$$SR = \frac{I_{SS}}{C_c} = \frac{I_{D5}}{C_c} , \quad GBW = \frac{gm2}{C_c} , \quad C_c = 0,22C_L$$

C_c = kompensasi kapasitor dan C_L = Kapasitor beban.

$$P_D = (I_{D8} + I_{D5} + I_{D7}) * (VDD - VSS)$$

Fungsi cermin arus sebagai sumber arus bias bagi komponen mos untuk pengendali atau penggerak atau juga dapat sebagai cermin arus sumber dengan arus kendali, misal $I_{ref} = I_{out}$, pada Gambar 8.



Gambar 8. Rangkaian Cermin Arus. [J.Baker, 1998][N.S Salahuddin, 2007]

$$I_G = 0 , \quad I_{D1} = I_{ref} , \quad I_{D2} = I_{D1} , \quad I_{Out} = I_{ref}$$

$$I_x = V_x + g_m V_x, \quad V_1 = V_x, \quad I_x = I_{ref}$$

Jika ukuran M1 sama dengan M2 maka

$$I_{Out} = I_{ref}, \text{cer min_ arus} \rightarrow \text{jika} \left(\frac{W_2}{L_2} \right) = \left(\frac{W_1}{L_1} \right)$$

Jika ukuran M1 tidak sama dengan M2 maka

$$I_{Out} = I_{ref} \frac{W_2/L_2}{W_1/L_1}$$

Pada gambar 2 Op-amp 2 stage transconductance dapat dianalisa sebagai berikut:

$$I_{D1}=I_{D2} = \frac{I_{SS}}{2}, \text{ slew rate (SR)} = \frac{I_{D5}}{C_c} \quad I_{SS} = I_{D5}, \quad I_{D3}=I_{D4},$$

$$AV1 = \frac{g_{m1,2}}{g_{ds2} + g_{ds4}} = \frac{2g_{m1,2}}{I_{SS}(\lambda_2 + \lambda_4)}$$

Penguatan stage 1

$$AV2 = \frac{g_{m6}}{g_{ds6} + g_{ds7}} = \frac{g_{m6}}{I_{D6}(\lambda_6 + \lambda_7)}$$

Penguatan Stage 2

Di mana g_{ds} = parameter transconductance drain to source

λ = parameter chanel length modulation

Desain Penguat Operasional OTA.

Penguat jenis transconductance yang di desain dengan komponen CMOS memiliki spesifikasi yang sesuai untuk aplikasi ADC dengan beban kapasitif, dengan impedansi masukan besar dapat meminimalkan noise, untuk aplikasi pada ADC pipeline, target spesifikasi op-amp jenis OTA dengan rangkaian dua stage pada tabel 1.

Tabel 1. Syarat Spesifikasi Op-Amp yang di Desain

NO	Parameter	Rumus [J.Baker,1998]	Nilai
1	Penguatan dalam mode terbuka (AoL)	$\geq 20 \cdot \log 2^{N+2}$	≥ 60 dB
2	Penguatan dalam mode tertutup (AcL)	$\approx (C1+C2)/C2$	$\approx 2V/V$
3	Gain Bandwidth (GWB atau fu)	$\geq 0,22(N+1) \cdot f_{clock}$	$\geq 158,4$ Mhz
4	Frekuensi close loop 3dB (fcL,3dB)	$\geq \beta \cdot f_u$	$\geq 79,2$ Mhz
5	Frekuensi 3dB (f3dB)	$\geq f_{cL,3dB}/AoL$	$\geq 1,32$ Mhz
6	Phase Margin (PM)	$-0^\circ < PM < -180^\circ$	-45°
7	Slew rate (SR)	$\approx I_{SS}/C_c$	$160V/uS$
8	Noise (Sn)	$\approx (16KT)/3g_{m1,2}$	$5nS/\sqrt{Hz}$
9	Common mode input ratio (\pm CMR)	$\approx 90\%OS$	$\pm 2.673V$
10	Output swing (OS)	$\approx 90\% \pm V_{DD}$	$\pm 2.97V$
11	Konsumsi daya (Pd)	$\leq I_T \cdot (V_{DD} + V_{SS})$	$\leq 5mW$
12	Load kapasitif (CL)	$C_c/0,22$	$1,15pF$

Dalam mendesain op-amp OTA dua stage seperti pada gambar 9, dapat dimulai langkah desain sebagai berikut:

- Menentukan besar transconductance $gm_{1,2}$ dengan asumsi $GBW = 600\text{MHz}$ agar dapat menjangkau periode sampling dan multiplying.

$$\text{Jadi } \left(\frac{W}{L}\right)_{1,2} = \frac{952,47^2}{2.189.20} = 120 \rightarrow L_{1,2} = 0,35\mu\text{m} \text{ maka } W_{1,2} = 42\mu\text{m}.$$

- Menentukan ukuran M3, M4 dan M5 menggunakan input CMR dengan transistor berada pada daerah saturasi $V_{DS} > V_{GS} - V_{TH}$
Jadi $L_{3,4} = 0,35\mu\text{m}$ maka $W_{3,4} = 2,2\mu\text{m}$

- Untuk mencari lebar W dengan menggunakan $V_{GS5} = V_{GS7}$ dengan $I_{D7} = I_{D6} = 224\mu\text{A}$ dapat dilakukan perhitungan kembali;

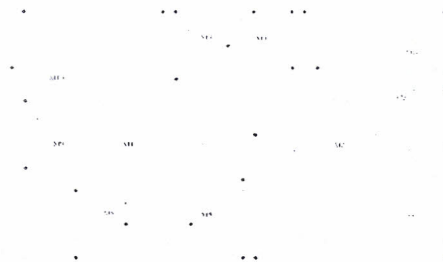
$$\text{Jadi } \left(\frac{W}{L}\right)_7 = 147 \rightarrow L_7 = 0,35\mu\text{m} \text{ maka } W_7 = 51\mu\text{m} \quad I_{D7} = I_{D6} = 224\mu\text{A}$$

$$\text{Dan ukuran M6 dimana } (V_{GS} + V_{THP})_6 = (V_{GS} + V_{THP})_4 = 0,627\text{V}$$

$$\rightarrow I_{D6} = \frac{K_p}{2} \frac{W}{L} (V_{GS6} + V_{THP})^2 \quad \text{Jadi } \left(\frac{W}{L}\right)_6 = 35,6 \rightarrow L_6 = 0,35\mu\text{m} \quad W_6 = 12,5\mu\text{m}$$

$$\text{dan } gm_6 = 1010,3 \mu\text{A/V}$$

$$\text{Besarnya konsumsi daya } (I_{D8} + I_{D5} + I_{D7}) * (V_{DD} - V_{SS}) = 1,8\text{mW}.$$



Gambar 9. Rangkaian OP-AMP OTA Dua Stage

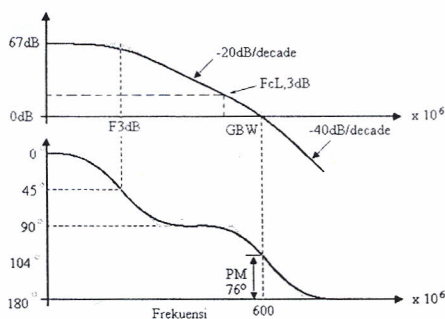
$$\text{M8 sebagai cermin arus maka besar ukuran } \left(\frac{W}{L}\right)_8 = \left(\frac{W}{L}\right)_5 \times \frac{I_{ref}}{I_{D5}} \rightarrow W_8 = 0,9\mu\text{m}$$

$$I_{ref} = 4\mu\text{A} \text{ sehingga besar ukuran M9 dan M10} = L = 10\mu\text{m}, W = 0,6\mu\text{m}$$

- Besarnya penguatan terbuka (AoL) dimana $\lambda_N = 0,05V^{-1}$, $\lambda_p = 0,15V^{-1}$

$$AV = 2489,67\text{V/V. Atau } 67,9\text{dB}$$

Hasil perhitungan penguatan terbuka (AoL) dan fase margin (PM) dalam bentuk grafik tampak pada gambar 10 dan hasil perhitungan manual W/L op-amp keseluruhan pada tabel 2.



Gambar 10. Penguatan Mode Terbuka (AoL) dan Phase Margin (PM)

Tabel 2. Hasil Perhitungan Manual OTA OP-AMP

Komponen	Parameter $\frac{W}{L} (\mu m)$	Arus Drain (μA)
M1	42/0,35	20
M2	42/0,35	20
M3	2,2/0,35	20
M4	2,2/0,35	20
M5	9/0,35	40
M6	12,5/0,35	224
M7	51/0,35	224
M8	0,9/0,35	4
M9	0,6/10	4
M10	0,6/10	4
Cc	0,25pF	
CL	1,15pF	

Untuk menguji keluaran tegangan offset (V_{os}) = 0V digunakan parameter perbandingan $M6/M4 = 2M7/M4$;

$$\frac{\frac{W6}{L6}}{\frac{W4}{L4}} = \frac{\frac{W7}{L7}}{\frac{W5}{L5}} \rightarrow \frac{12,5}{0,35} = \frac{51}{0,35} \rightarrow 5,68 = 5,67 \text{ (perbandingan mendekati sama)}$$

Simulasi Rangkaian Penguat Operasional Transconductance (OTA) sebagai Pendukung ADC Pipeline

Simulasi yang dilakukan terhadap desain rangkaian op-amp 2 stage (OTA) dengan menggunakan perangkat lunak simulasi mentor graphic dengan teknologi AMS 0,35 μm CMOS proses. Simulasi di titik beratkan pada karakteristik op-amp yang di aplikasikan ke dalam ADC pipeline. Hasil simulasi tersebut yaitu:

- Karakteristik DC (V_{os}) dan tegangan OS (output swing).

Hasil simulasi pada gambar 11 dengan pemberian sinyal tegangan dc pada masukan op-amp OTA ($V_- = 0V$ dan $V_+ = -3,3V$ s/d $3,3V$).

Gambar 11. Hasil Simulasi Pertama OS dan Offset (V_{os}).

Tabel 3. Perbandingan Hasil Perhitungan Manual dan Simulasi Tegangan OS.

No	Parameter	Manual	Simulasi
1	OS+	+2,97V	+3V
2	OS-	-2,97V	-3,29V
3	V_{Dsat6}	0,627V	0,434V
4	V_{Dsat7}	0,127V	0,114V

- Simulasi CMR op-amp yang pertama menghasilkan bentuk keluaran seperti gambar 12 dan tabel 4.

Gambar 12. Hasil Simulasi Pertama CMR OP-AMP OTA Dengan V_{in} DC.

Tabel 4. Perbandingan Hasil Perhitungan Manual dan Simulasi CMR.

No	Parameter	Manual	Simulasi
1	CMR+	+2,673V	+2,51V
2	CMR-	-2,673V	-3V

Simulasi kedua menghasilkan bentuk gelombang keluaran pada Gambar 13.



Gambar 13. Hasil Simulasi Pertama CMR OP-AMP OTA Dengan Vin AC.

- Pengujian SR, AOL dan Phase Margin.

Gambar 14. Hasil Simulasi Pertama SR OP-AMP OTA Dengan Vin Kotak.



Gambar 15. Hasil Simulasi Pertama AoL dan PM Pada OP-AMP OTA.

Tabel 5. Perbandingan Hasil Perhitungan Manual dan Simulasi AoL,GBW dan PM.

No	Parameter	Manual	Simulasi
1	Penguatan mode Terbuka (AoL)	67dB	58dB
2	Fase Margin (PM)	76°	59,2°
3	Frekuensi Unity (GBW)	600MH z	160,7MHz

Dari hasil simulasi op-amp OTA pada gambar 15 ditemukan beberapa kelemahan, terutama pada penguatan op-amp mode terbuka (AoL), GBW dan PM. Kelemahan untuk AoL dan GBW merupakan syarat spesifikasi dari ADC jenis pipeline, sehingga dilakukan perubahan desain rangkaian, dalam hal ini perubahan terhadap nilai W/L pada op-amp dengan mengacu ke perhitungan manual, agar didapatkan perbaikan parameter op-amp yang sesuai dengan spesifikasi ADC pipeline. Rangkaian OP-AMP OTA Dua Stage pada simulasi kedua seperti gambar 16.

Tabel 6. Hasil Perubahan Nilai W/L Pada OP-Amp OTA.

No	Keterangan	Simulasi Pertama	Simulasi Kedua	Eri Prasetyo[2005]
1	M1	42/0,35	42/0,7	50/0,6
2	M2	42/0,35	42/0,7	50/0,6
3	M3	2,2/0,35	2,2/0,35	20/0,6
4	M4	2,2/0,35	2,2/0,35	20/0,6
5	M5	9/0,35	9,18/0,35	20/0,6
6	M6	12,5/0,35	18,94/0,35	60/0,6
7	M7	51/0,35	51,52/0,35	42/0,6
8	M8	0,9/0,35	9/0,35	40/0,6
9	M9	0,6/10	0,6/10	0,8/0,6
10	M10	0,6/10	0,6/10	0,8/0,6
11	Cc	0,25pF	0,275pF	0,1pF
12	AoL	58dB	62,6dB	55dB
13	GBW	160,7MHz	800MHz	800MHz
14	SR	289,86 V/ μ S	130,34V/ μ S	12,5V/ μ S
15	PM	59,2°	40°	35°
16	CMR	+2,51V dan -3V	+2,68V dan -2,85V	-
17	OS	+3V dan -3,29V	+2,89V dan -3,11V	-
18	Pd	1,9859mW	1,6136mW	10,825mW
19	Vos	-8,9043mV	0,3mV	-
20	Iss	40 μ A	35,75 μ A	1,25 μ A

$$AV1 = \frac{gm_{1,2}}{g_{ds2} + g_{ds4}} = \frac{gm_{1,2}}{I_{D2}(\lambda_2 + \lambda_4)} = 100,35V/V$$

$$AV2 = \frac{gm_6}{g_{ds6} + g_{ds7}} = \frac{gm_6}{I_{D6}(\lambda_6 + \lambda_7)} = 20,89V/V$$

$$AV = 2096,31V/V \text{ atau sama dengan } 66,42dB.$$

Gambar 16. Rangkaian OP-AMP OTA Dua Stage Pada Simulasi Kedua

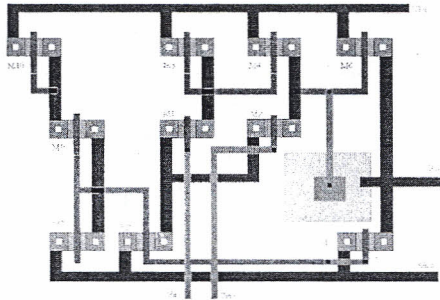
Desain Lay-Out Komponen Pendukung ADC Pipeline.

Dalam desain lay-out ADC pipeline diperlukan parameter aturan desain dari teknologi AMS 0,35 μ m CMOS proses. Untuk meminimalkan kesalahan, dari unit penyusun ADC pipeline 8-bit dilakukan pemahaman dari aturan yang sudah ditetapkan oleh AMS 0,35 μ m.

Untuk memudahkan pengecekan kesalahan dalam desain layout, dilakukan desain per unit penyusun misal op-amp OTA, komparator presisi, saklar kapasitor, pembangkit clock non-overlapping dan unit delay. Dalam desain menggunakan 2 poly MOS dan 4 layer metal.

Desain Lay-Out OP-AMP (OTA)

Desain yang dilakukan pada gambar 17 merupakan rencana layout komponen op-amp jenis OTA. Cakupan area yang diinginkan 125 μ m x 60 μ m hal didasarkan nilai parameter W transistor M1, M2 dan M7 lebih besar dari transistor yang lain, sehingga membutuhkan ruangan lebih banyak.



Gambar 17. Desain Lay-Out Op-AMP OTA.

Penghubung tiap kaki drain dan source komponen MOS menggunakan metal satu, penghubung gate menggunakan poly satu, antara poly satu dengan metal satu menggunakan via poly-1 metal-1. kapasitor poly di desain menggunakan aturan dua poly satu dan poly dua yang dihubungkan dengan elektroda metal satu. Masukan inverting dan non inverting menggunakan metal dua.

Kesimpulan

Dengan melakukan analisa terhadap perubahan pada nilai W/L didapatkan perbaikan parameter dari op-amp yang diinginkan. Perubahan nilai parameter W/L dengan mengacu pada perhitungan W/L simulasi ke dua dengan $K_n=175\mu\text{A/V}$ dan $K_p=60\mu\text{A/V}$, terjadi perbedaan dengan hasil simulasi pertama sebesar 3,62dB. (hasil ini mendekati bila dibandingkan dengan simulasi pertama, dan nilai penguatan terbuka sesuai dengan syarat op-amp untuk aplikasi ADC pipeline).

Hasil simulasi kedua menunjukkan perbaikan penguatan mode terbuka (AOL) op-amp menjadi 62,6dB dan frekuensi unity menjadi 800MHz dengan fase margin (PM) sebesar 40° dari 180° – 140°, besar frekuensi penguatan 2V/V adalah 400MHz dengan nilai tersebut masih di atas frekuensi clock saklar kapasitor (SC). Hasil simulasi untuk tegangan OS dan Vos terdapat perbaikan karakteristik, dengan mendekati perhitungan yang diinginkan $\pm 2,97\text{V}$, perbedaan ini disebabkan nilai W/L yang berubah dengan arus drain yang berubah juga. Dan untuk tegangan offset juga terdapat perbaikan nilai mendekati yang diinginkan sebesar 0,3mV \approx 0V.

DAFTAR PUSTAKA

- Anonim," *Parameter Ruler Design CMOS AMS 0,35um*," Mentor Graphics Corporation.. [http ://www.mentor.com/ams.html](http://www.mentor.com/ams.html), 2008.
- B.-S. Song, La Jolla, and Gilman," *Design CMOS Analog-to-Digital Converter*," ECE264C, International WorkShop in University of California, San Diego,2007
- B. Razavi,," *Design of Analog CMOS Integrated Circuits*". McGraw Hill, University of California, Los Angeles, 2001.
- Boaz Shem-Tov, Muċahit Kozak, and Eby G. Friedman," *A High-Speed CMOS OP-AMP Design Technique Using Negative Miller Capacitance*," 0-7803-8715-5/04,2004 IEEE.
- D.Schroder," *Semiconductor material and device characterization*," volume Chapter 8. John Willey and Sons Inc, 1990.
- Eri Prasetyo, Dominique Ginhac and M. Paindavoine ,"*principles of CMOS sensors dedicated to face tracking and recognition*", In IEEE CAMP05 International Workshop on Computer Architecture for Machine Perception, July 2005.
- Eri Prasetyo, Hamzah Afandi, Dominique Ginhac and M. Paindavoine ,"*A 8-bits Pipeline ADC Design For High Speed Camera Application*,"IES 2007, ITS 2007
- G. Palmisano, G. Palumbo and S Pennisi " *Design Procedure for Two-Stage CMOS Transconductance Operational amplifier* " Proceeding, Universita ' di catania 2001.
- Hamzah Afandi, Eri Prasetyo, Brahmantyo, M . Paindovaine," *Design Embedded Pipeline ADC CMOS 0,35µm Inside High Speed Camera* , 11th Int'l Symposium on Quality Electronic Design-Asia (ASQED 2009).
- Jérôme Dubois, Dominique Ginhac, Michel Paindavoine, and Barthélemy Heyrman, "*A 10 000 fps CMOS Sensor with Massively Parallel Image Processing*". IEEE Journal of Solid-State Circuits. 43(3) :706-717, March 2008.
- Jérôme Dubois, Dominique Ginhac, Michel Paindavoine, "*VLSI Design of a High-Speed CMOS Image Sensor with in-situ 2D Programmable Processing*", EUSIPCO 2006, September 8, 2006, Florence, ITALY
- Jacob Baker and D. E. Boyce," *CMOS Circuit Design. Layout and Simulation*." IEEE Press on Microelectronic Systems, 1998.
- Lisha Li,"*High Gain Low Power Operational Amplifier Design and Compesation Techniques*," A dissertation, Brigham Young University, April 2007
- M. Paindavoine,"*High-speed camera with embedded real time image processing*", in seminar information technology of Gunadarma University, june 2006.
- N.S. Salahuddin, M. Paindavoine, B. Heruseto, M. Parmentier," *Development of Active Pixel Photodiode Sensors for Gamma Camera Application*," International Conference on Electrical Engineering and Informatic June 2007, ITB-Bandung, Indonesia.
- Xin Jiang, Sanghyun Seo and Yumin Lu ,"*A CMOS Single Stage Fully Differential OP-Amp with 120 dB DC Gain*," EECS 413 Fall University of Michigan, 2003.

ELECTRICAL, ELECTRONICS, COMMUNICATION ENGINEERING
(EECE)

COMPUTER, INFORMATION TECHNOLOGY (CIT)

MECHANICAL, MANUFACTURE ENGINEERING (MME)

CHEMICAL, PETROLEUM, INDUSTRIAL ENGINEERING

CIVIL & ARCHITECTURAL, ENVIRONMENT ENGINEERING

Sekretaria :
PROGRAM STUDI TEKNIK ELEKTRO
FAKULTAS TEKNIK - UNTAG CIREBON
Lantai III - Jl. Perjuangan No. 17 By Pass Kota Cirebon
Telp. (0231) 481945
Email : papersnirt@gmail.com
Website : www.untagcirebon.ac.id/snirt

